

JP 8-99425

The present invention relates to a semiconductor device and a method of manufacturing the same. Specifically, in the present invention, an SiO_xN_y : H film is formed with the same pattern as an offset insulating film also serving as an antireflection coating on a word line of a SRAM, a gate electrode of a MOS transistor and the like. Here, on the basis of a variation pattern of a standing wave effect of the SiO_xN_y : H film determined by a pair of a thickness d and an optical constant k under the condition of an optical constant n being constant, the thickness d is selected to be bigger and the optical constant k is selected to be smaller than a conventional selected value within the range where the standing wave effect can be controlled within a constant value.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-97425

(43)公開日 平成8年(1996)4月12日

(51)Int.Cl.⁶

H 01 L 29/78

21/027

21/318

識別記号

府内整理番号

F I

技術表示箇所

C

H 01 L 29/78

301 G

21/30

574

審査請求 未請求 請求項の数15 OL (全13頁)

(21)出願番号

特願平7-118622

(22)出願日

平成7年(1995)5月17日

(31)優先権主張番号 特願平6-177052

(32)優先日 平6(1994)7月28日

(33)優先権主張国 日本 (JP)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 牛脇 哲雄

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 塚本 雅則

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 中野 博之

東京都品川区北品川6丁目7番35号 ソニー株式会社内

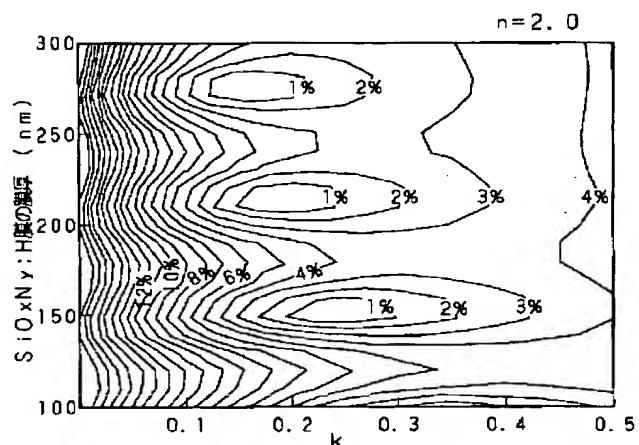
(74)代理人 弁理士 小池 晃 (外2名)

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【目的】 オフセット絶縁膜としてある程度の膜厚を確保した場合にも、十分な反射防止効果が達成可能な SiO_xNy : H膜の光学設計を行う。

【構成】 SRAMのワード線やMOSトランジスタのゲート電極上に、反射防止膜を兼ねたオフセット絶縁膜として SiO_xNy : H膜を同一パターンにて形成する。この時、光学定数 n を一定とした条件下で膜厚 d と光学定数 k の組により決まる SiO_xNy : H膜の定在波効果の変化パターンにもとづき、定在波効果を一定値以内に抑制できる範囲で、膜厚 d は従来の選択値よりも大きく、また光学定数 k は小さく選択する。光学定数 k は、プラズマCVD成膜時の原料ガスである SiH_4 と N_2O の流量比に依存し、この比に応じて膜組成も決まる。特に、光学定数 $k \leq 0.15$ の場合、膜組成を SiO_x 膜に近づけ、絶縁耐性を改善できる。



WS+膜における定在波効果の変化パターン

【特許請求の範囲】

【請求項1】 配線パターン上に、反射防止膜を兼ねたオフセット絶縁膜として該配線パターンと共通パターンを有するSiO_xN_y:H膜が形成されてなる半導体装置。

【請求項2】 前記配線パターンがポリシリコン膜、シリサイド膜もしくはポリサイド膜よりなる請求項1記載の半導体装置。

【請求項3】 前記SiO_xN_y:H膜は、その光学定数k（ただし、kは複素振幅屈折率の虚数部係数を表す。）が0.15以下である請求項2記載の半導体装置。

【請求項4】 前記配線パターンはMOSトランジスタのゲート電極であり、該ゲート電極の側壁面上には誘電体膜よりなるサイドウォールが形成され、該MOSトランジスタのソース/ドレイン領域の表層部のみに自己整合的にシリサイド層が形成されてなる請求項1記載の半導体装置。

【請求項5】 前記配線パターンが所定間隔をもつて複数配され、少なくとも該配線パターンの側壁面上には誘電体膜よりなるサイドウォールが形成され、隣接する該配線パターン間に上層配線のコンタクト部が自己整合的に形成されてなる請求項1記載の半導体装置。

【請求項6】 基板上に配線材料膜を成膜する第1工程と、

前記配線材料膜上に反射防止膜を兼ねたオフセット絶縁膜としてSiO_xN_y:H膜を成膜する第2工程と、前記SiO_xN_y:H膜上にフォトレジスト・パターンを形成する第3工程と、

前記フォトレジスト・パターンをマスクとし、前記SiO_xN_y:H膜および前記配線材料膜とをエッチングして配線パターンを形成する第4工程とを有する半導体装置の製造方法。

【請求項7】 前記第2工程では、SiO_xN_y:H膜の光学定数n（ただし、nは複素振幅屈折率の実数部である。）を一定とした条件下で、光学定数k（ただし、kは複素振幅屈折率の虚数部係数である。）と膜厚dの組み合わせにより決まる定在波効果の変化パターンを求め、該変化パターンから定在波効果を所定レベル以下に抑制し得る光学定数kと膜厚dの組を選択し、これら光学定数（n, k）と膜厚dを達成し得る成膜条件を設定してSiO_xN_y:H膜を成膜する請求項6記載の半導体装置の製造方法。

【請求項8】 前記膜厚dは、これをゼロから増大させた場合に前記変化パターン内に周期的に現れる定在波効果の極小化領域のうち、2番目以降の極小化領域を与える値もしくはその近傍の値に選択される請求項7記載の半導体装置の製造方法。

【請求項9】 前記SiO_xN_y:H膜の成膜はSiH₄とN₂Oとの混合ガスを用いるCVDにより行い、前

記成膜条件は予め求めておいた光学定数（n, k）のSiH₄とN₂O流量比依存性にもとづいて設定する請求項7記載の半導体装置の製造方法。

【請求項10】 前記第2工程では、SiO_xN_y:H膜の光学定数n（ただし、nは複素振幅屈折率の実数部である。）を一定とした条件下で、光学定数k（ただし、kは複素振幅屈折率の虚数部係数である。）と膜厚dの組み合わせにより決まる定在波効果の変化パターンを求める、該変化パターンにおいて定在波効果の極小化領域を与える膜厚dをひとつ選択し、この選択された膜厚dに対して定在波効果を許容範囲内に抑え得る光学定数kの最小値を選択し、これら光学定数（n, k）と膜厚dを達成し得る成膜条件を設定してSiO_xN_y:H膜を成膜する請求項6記載の半導体装置の製造方法。

【請求項11】 前記SiO_xN_y:H膜の成膜はSiH₄とN₂Oとの混合ガスを用いるCVDにより行い、前記成膜条件は予め求めておいた光学定数（n, k）のSiH₄とN₂O流量比依存性にもとづいて設定する請求項10記載の半導体装置の製造方法。

【請求項12】 前記第1工程では、前記配線材料膜としてポリシリコン膜、シリサイド膜もしくはポリサイド膜を成膜し、前記第2工程では前記SiO_xN_y:H膜の光学定数kを0.15以下とする請求項10記載の半導体装置の製造方法。

【請求項13】 前記第4工程でエッチングを終了した後、SiO_xN_y:H膜を酸化する請求項6記載の半導体装置の製造方法。

【請求項14】 前記基板としてシリコン基板を用い、前記第4工程で前記配線パターンとしてMOSトランジスタのゲート電極を形成した後、前記ゲート電極の側壁面上に誘電体膜よりなるサイドウォールを形成する工程と、

基体の全面に金属膜を成膜する工程と、アニールを行って該金属膜と前記基板の表層部とを反応させることにより自己整合的にシリサイド層を形成する工程とを経る請求項6記載の半導体装置の製造方法。

【請求項15】 前記第4工程で前記配線パターンを所定間隔をもつて複数形成した後、前記配線パターンの側壁面上に誘電体膜よりなるサイドウォールを形成する工程と、隣接する該配線パターン間に上層配線のコンタクト部を自己整合的に形成する工程とを経る請求項6記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体デバイスの配線パターン上に反射防止膜を兼ねたオフセット絶縁膜としてSiO_xN_y:H膜を形成した半導体装置およびその製造方法に関し、特に光学定数kの最適化を通じ、オフセット絶縁膜としてある程度の膜厚を確保した場合にも

十分な反射防止効果を示す $\text{SiO}_x\text{Ny}:\text{H}$ 膜の光学設計に関する。

【0002】

【従来の技術】半導体装置の高集積化が加速度的に進行するに伴い、その最小加工寸法も急速に縮小されている。たとえば、量産ラインに移行されている現世代の 16 MDRAM の最小加工寸法は約 $0.5\text{ }\mu\text{m}$ であるが、次世代の 64 MDRAM では $0.35\text{ }\mu\text{m}$ 以下、次々世代の 256 MDRAM では $0.25\text{ }\mu\text{m}$ 以下に縮小されるとみられている。この微細化度は、マスク・パターンを形成するフォトリソグラフィ工程の解像度に大きく依存している。 $0.35\text{ }\mu\text{m} \sim 0.25\text{ }\mu\text{m}$ (ディープ・サブミクロン) クラスの加工では、KrF エキシマ・レーザ光 (波長 248 nm) 等の遠紫外光源が必要となる。

【0003】しかし、エキシマ・レーザ光のような単色光を用いるプロセスでは、ハレーションや定在波効果によるコントラストや解像度の低下が顕著に現れる。ハレーションとは、下地材料膜の段差部分からの反射光により特定の領域の光強度が高くなる現象であり、実害としてはポジ型フォトレジスト・パターンにおけるくびれの発生が挙げられる。一方、定在波効果とは、フォトレジスト膜内あるいは下地膜との間で生ずる多重反射によりフォトレジスト膜の膜厚方向に光強度分布が生ずる現象であり、実害としてはレジスト・パターンの側壁面の波状の変形や、基板内におけるレジスト密度のバラつき等が挙げられる。

【0004】かかるハレーションや定在波効果を低減させるためには、下地材料膜からの反射光を弱めれば良い。このため、光反射率の高い材料層とフォトレジスト膜との間に反射防止膜を設けることが今後は必須になるとみられている。

【0005】本願出願人は先に、この反射防止膜として $\text{SiO}_x\text{Ny}:\text{H}$ (酸窒化シリコン) 膜を提案している。 $\text{SiO}_x\text{Ny}:\text{H}$ 膜は、CVD による成膜時のガス組成の制御により組成を細かく調整することができ、これに伴って光学定数 (n, k) (ただし、 n は複素屈折率の実数部、 k は同じく虚数部係数を表す。) を広範囲に変化させることができるため、あらゆる露光波長、レジスト材料、下地材料層に対して最適化された反射防止膜を提供できるというメリットを有している。特に、エキシマ・レーザ波長域のような遠紫外領域で化学增幅系レジスト材料を用いるプロセスにおいて、効果的な反射防止効果を示す膜は極めて少なく、この意味においても $\text{SiO}_x\text{Ny}:\text{H}$ 膜には大きな期待が寄せられている。

【0006】上記 $\text{SiO}_x\text{Ny}:\text{H}$ 膜を有する特定の材料層の上で反射防止膜として用いる場合の光学定数 (n, k) の最適化方法については、先に SPIE 第 1927 卷、オプティカル/レーザ・マイクロリソグラフィ VI (Optical/Laser Microlithography VI) 1993 年、

p. 263 ~ 272 に報告されている。この方法では、

(1) まず、任意のレジスト膜厚と任意の反射防止膜の膜厚 d の下で該反射防止膜の光学定数 (n, k) の変化に対するレジスト膜の吸収光量の変化の軌跡を求め、
(2) 次に、他の複数のレジスト膜厚についても同様に軌跡を求め、(3) これら各軌跡の共通領域に存在する光学定数 (n, k) を求める。他の異なる反射防止膜の膜厚 d についても上述 (1) ~ (3) のプロセスを順次行うと、反射防止膜の膜厚に応じて反射防止膜の最適光学条件 (n, k, d) を求めることができる。

【0007】定在波効果は膜厚 d に応じて変化するものであり、その極小点が $d = \lambda / 2n$ (ただし、 λ は露光波長) の周期で現れるため、最適な (n, k, d) の組合せは一通りではない。従来は、 $\text{SiO}_x\text{Ny}:\text{H}$ 成膜時の CVD におけるスループットや、この膜がパターニングされた後に発生する段差を考慮して膜厚 d をなるべく薄く選択することが好ましいと考えられており、通常は 30 nm 前後に設定されることが多かった。)

【0008】

20 【発明が解決しようとする課題】ところで、半導体装置の製造に自己整合コンタクト形成技術やサリサイド (自己整合シリサイド化 : Self Aligned Silicidation) 技術を適用する場合、配線パターンの上にオフセット絶縁膜を用いる場合がある。自己整合コンタクト形成技術とは、隣接する中層配線パターンの配線間スペースに上層配線を埋め込み、該上層配線と下層配線とのコンタクト部を形成する技術である。この技術によると、コンタクト・ホール・プロセスにおいて位置合わせのためのオトマスク上の設計マージンが不要となるため、LSI のデザイン・ルールが $0.25\text{ }\mu\text{m}$ 前後の世代において採用は不可欠と考えられている。このとき、中層配線パターンと上層配線とを絶縁するために該中層配線パターンを被覆する誘電体膜が必要であるが、このうち該中層配線パターンの側壁面を被覆する誘電体膜がサイドウォール、上面のみを該中層配線パターンと共にパターンをもつて被覆する誘電体膜がオフセット絶縁膜である。オフセット絶縁膜の構成材料としては、通常、 SiO_x (酸化シリコン) が用いられる。

40 【0009】一方、サリサイド技術とは、ある構造を有する基体を金属膜で被覆した後にアニールを行い、上記基体のうちシリコン系材料が上記金属膜と直に接触している部分、すなわち単結晶シリコン基板、ポリシリコン膜、シリサイド膜あるいはポリサイド膜等が金属膜に直に接触している部分のみにおいて選択的にシリサイド化反応を進行させる技術である。典型的には、LDD 構造を有する MOS トランジスタのソース/ドレイン領域のシート抵抗を下げるオーミック・コンタクトを達成するために、この領域の表層部をシリサイド化する際に適用される。この際のプロセスでは、ゲート電極のパターニング、LDD サイドウォール形成、ソース/ドレイン領

域形成用のイオン注入までを終了した段階のウェハをTi (チタン) 等の金属膜で被覆し、アニールを経てシリサイド層を形成する。

【0010】ただし、金属膜の反応の相手がシリコン系材料からなる微細なパターンである場合には、シリサイド化反応に伴う相転移が十分に進行せず、所望の低抵抗化が困難な場合がある。特に、最小デザイン・ルールが適用されるゲート電極では、その表面でシリサイド化反応が不十分に終わるとW-ポリサイド膜等と比較してもかえって抵抗が上昇する虞れがある。オフセット絶縁膜は、このような不都合を回避する上で有効である。すなわち、予めゲート電極上にオフセット絶縁膜を形成しておくことにより、ソース/ドレイン領域の低抵抗化を図りながら、ゲート電極についても設計どおりの配線抵抗値を達成することができる。

【0011】ところで、上述のようなオフセット絶縁膜を設けた配線パターン上でSiO_xN_y:H膜を反射防止膜として用いようとする場合には、オフセット絶縁膜であるSiO_x膜の上層側あるいは下層側にSiO_xN_y:

WSi_x膜

SiO_xN_y:H反射防止膜

オフセットSiO_x膜

フォトレジスト膜

この多層膜系についてKrFエキシマ・レーザ光 ($\lambda = 248\text{ nm}$) を用いてフォトリソグラフィを行った場合の定在波効果を、(b) 図に示す。この図は、オフセットSiO_x膜の膜厚の変動に対する振幅比 (スイング・レシオ) の変化を示すものである。ここで、振幅比とは、(c) 図に示されるように、フォトレジスト膜の膜厚に対してフォトレジスト膜中の光吸収量をプロットして得られる曲線 (スイング・カーブ) において、任意の膜厚 d における該スイング・カーブの振幅 ΔA と、図中に破線で示される該スイング・カーブの振幅の中心線までの高さ A (すなわち定在波効果が全く無い場合の光吸収量) との比として定義される。この比は定在波効果の尺度として用いることができ、この値が小さいほど定在波効果の影響の少ない、良好な解像が期待できることになる。振幅比は、(b) 図からも明らかなように周期的な変化を示し、そのピッチは $\lambda/2n$ (ここでは約8.1.6 nm) である。

【0014】このように、定在波効果はオフセットSiO_x膜53の膜厚に依存して大きく変化するので、基板の全面にわたって均一に定在波効果を抑制しようとするならば、該オフセットSiO_x膜の膜厚の面内均一性を向上させる必要がある。しかし現状では、CVDにより成膜した場合のオフセットSiO_x膜の膜厚の面内均一性は、±5%程度である。SiO_xN_y:H反射防止膜の膜厚均一性は、これにさらに劣る。これは、一般に反射防止膜の膜厚がオフセット絶縁膜の膜厚に比べてさらに薄く、特にプラズマCVDで反射防止膜を成膜する場

* y : H膜を成膜する。しかし、このように露光波長に対して所定の光透過率を有し、かつ屈折率の異なる薄膜が積層されていると、個々の膜の膜厚バラツキにより多重反射効果が局部的に変動し、フォトリソグラフィの解像性能を左右する不安定要素が増加することになる。この問題について、図14を参照しながら説明する。

【0012】図14は、タンクステン・シリサイド (WSi_x) 膜上にSiO_xN_y:H膜、オフセットSiO_x膜、フォトレジスト膜を順次積層した多層膜系において、オフセットSiO_x膜の膜厚変動により定在波効果が変化する様子を示すものである。まず、上記多層膜系は(a) 図に示されるように、WSi_x膜51の上に膜厚29 nmのSiO_xN_y:H反射防止膜52、膜厚を色々と変えて成膜したオフセットSiO_x膜53、膜厚840 nmのフォトレジスト膜(PR)54を順次積層したものである。各膜の光学定数は、以下のとおりである。

【0013】

*

n = 1.93, k = 2.73

n = 2.12, k = 0.54

n = 1.52, k = 0

n = 1.80, k = 0.01

合には、プラズマ密度分布が不均一な初期放電の間で成膜がほぼ完了してしまうためである。SiO_xN_y:H反射防止膜の膜厚の面内均一性は、現状では±8%程度である。

【0015】このように、個々に膜厚の不均一性を有するオフセットSiO_x膜53とSiO_xN_y:H反射防止膜52とが積層されると、定在波効果の不安定化要因が増すため、このような多層膜系の使用はできるだけ控えたいところである。一方、オフセット絶縁膜に対しては、シリサイド化技術においてゲート電極と金属膜との間のシリサイド化反応を阻止する観点から、厚膜化したいという要求もある。すなわち、従来一般的に採用されているオフセット絶縁膜の膜厚は、前述のごとく30 nm前後であるが、この程度の膜厚ではゲート電極のシリサイド化を完全に防止することはできない。しかし、オフセット絶縁膜は無制限に厚くても良い訳ではなく、基体の表面段差を実用上問題の無い程度に抑えられる膜厚に設定する必要がある。

【0016】このように、従来のオフセット絶縁膜については、反射防止膜との多層膜系では使用しにくいことが問題となっており、また表面段差を極力抑えながら厚膜化を図りたいといった要望もある。本発明はかかる問題を解決し、その要望に応える半導体装置およびその製造方法を提供することを目的とする。

【0017】

【課題を解決するための手段】本発明は、上述の目的を達成するために提案されるものである。まず、本発明の

7

半導体装置は、配線パターン上に、反射防止膜を兼ねたオフセット絶縁膜として該配線パターンと共通パターンを有する $\text{SiO}_x\text{Ny}:\text{H}$ 膜が形成されてなるものである。上記の配線パターンとは、典型的にはポリシリコン膜、シリサイド膜もしくはポリサイド膜からなる。ポリサイド膜の上層側を構成するシリサイド膜の種類は、特に限定されるものではなく、 WSi_x 膜、 MoSi_x 膜、 TiSi_x 膜、 NiSi_x 膜等、従来公知のシリサイド膜を用いることができる。

【0018】ところで、本発明で成膜される $\text{SiO}_x\text{Ny}:\text{H}$ 膜は、反射防止膜としての機能を示す一方で、オフセット絶縁膜として従来よりも大きな膜厚を有している必要がある。そのため、 $\text{SiO}_x\text{Ny}:\text{H}$ 膜自身の光吸收量を低減させることが有利となり、光吸收に関与する光学定数 k （ただし、 k は複素振幅屈折率の虚数部係数を表す。）を 0.15 以下に選択することが特に好適である。この数値の根拠については、図1および図2を参照しながら後述する。 $\text{SiO}_x\text{Ny}:\text{H}$ 膜において光学定数 k を小さく選択することは、組成的には Si 原子に対する O 原子の組成比を増大させること、つまり組成式中の x を上昇させることを意味し、光学的には光吸収量を低下させることを意味する。 $\text{SiO}_x\text{Ny}:\text{H}$ 膜の場合、光学定数 $k \leq 0.15$ の領域では $x \geq 1$ することができ、これにより膜組成は SiO_x 膜に一層近づき、露光光に対する透明度が向上することになる。

【0019】ここで、前記配線パターンが MOS トランジスタのゲート電極である時、少なくとも該ゲート電極の側壁面上には誘電体膜よりなるサイドウォールが形成され、該 MOS トランジスタのソース／ドレイン領域の表層部のみに自己整合的にシリサイド層が形成されていても良い。あるいは、前記配線パターンが所定間隔をおいて複数配されている時、該配線パターンの側壁面上には誘電体膜よりなるサイドウォールが形成され、隣接する該配線パターン間に上層配線のコンタクト部が自己整合的に形成されていても良い。

【0020】一方、本発明の半導体装置の製造方法は、基板上に配線材料膜を成膜する第1工程と、前記配線材料膜上に反射防止膜を兼ねたオフセット絶縁膜として $\text{SiO}_x\text{Ny}:\text{H}$ 膜を成膜する第2工程と、前記 $\text{SiO}_x\text{Ny}:\text{H}$ 膜上にフォトレジスト・パターンを形成する第3工程と、前記フォトレジスト・パターンをマスクとし、前記 $\text{SiO}_x\text{Ny}:\text{H}$ 膜および前記配線材料膜とをエッチングして配線パターンを形成する第4工程とを有するものである。

【0021】本発明では、上記 $\text{SiO}_x\text{Ny}:\text{H}$ 膜の光学設計が重要なポイントとなる。 $\text{SiO}_x\text{Ny}:\text{H}$ 膜の光学定数 (n, k) および膜厚 d を最適化するためにまず考えられる方法は、 n, k, d に同時に色々な数値を代入してコンピュータ・シミュレーションにより定在波効果をマトリクス的に計算し、最終的にこれが所定量以

下に収束する変化領域を絞り込む方法である。

【0022】しかし、これら3個のパラメータのうちいずれかひとつを固定すれば、シミュレーションで取り扱うパラメータの数を減らすことができる。この場合、膜厚 d を一定として光学定数 (n, k) を決定することも理論上は可能であるが、より簡便で現実的な方法は、光学定数 n を固定した条件下で残る光学定数 k と膜厚 d を変化させる方法である。これは、 $\text{SiO}_x\text{Ny}:\text{H}$ 膜の光学定数 (n, k) を本質的に決定する因子が反射防止膜の原子組成であって、かつこの原子組成を変動させても光学定数 n は光学定数 k ほど大きく変化しないという経験的事実にもとづいている。このことについては、図1を参照しながら後述する。

【0023】そこで前記第2工程では、 $\text{SiO}_x\text{Ny}:\text{H}$ 膜の光学定数 n を一定とした条件下で、光学定数 k と膜厚 d の組み合わせにより決まる定在波効果の変化パターンを求める、該変化パターンから定在波効果を所定レベル以下に抑制し得る光学定数 k と膜厚 d の組を選択し、これら光学定数 (n, k) と膜厚 d を達成し得る成膜条件を設定して $\text{SiO}_x\text{Ny}:\text{H}$ 膜を成膜することができる。

【0024】ここで、前記膜厚 d は、これをゼロから増大させた場合に前記変化パターン内に周期的に現れる定在波効果の極小化領域のうち、2番目以降の極小化領域を与える値もしくはその近傍の値に選択する。本発明で1番目の極小化領域を選択しないのは、この領域が従来一般に選択されていた領域であって、オフセット絶縁膜として十分な $\text{SiO}_x\text{Ny}:\text{H}$ 膜の膜厚が確保できないこと、および、この領域では k の値が大きく、 0.15 以下にはまず抑えられないことによる。

【0025】あるいは、 n, k, d を最適化する別の方針として、 n を一定とした条件下で定在波効果の変化パターンを求めるところまでは前述と同様に行い、さらに定在波効果の極小化領域を与える膜厚 d をひとつ選択し、この選択された膜厚 d に対して定在波効果を許容範囲内に抑え得る光学定数 k の最小値を選択し、これら光学定数 (n, k) と膜厚 d を達成し得る成膜条件を設定しても良い。つまりこの方法では、ある一定の n の値に対してある膜厚 d を選択した後、今度は膜厚 d を一定として光学定数 k をできるだけ小さく設定することになる。この方法の場合、先に述べた方法に比べて定在波効果の抑制能力は若干低下するが、光学定数 k を低く選択できることにより $\text{SiO}_x\text{Ny}:\text{H}$ 膜の膜質を SiO_x 膜に一層近づけることができる。このことは、絶縁性やエッチング耐性の向上を図る上で有利である。

【0026】ところで、本発明における $\text{SiO}_x\text{Ny}:\text{H}$ 膜の成膜は、 SiH_4 と N_2O の混合ガスを用いる CVD、好ましくはプラズマ CVD により行うことができる。この時使用可能な CVD 装置としては、たとえば平行平板型プラズマ CVD 装置、ECR プラズマ CVD

装置、誘導結合プラズマCVD装置、ヘリコン波プラズマCVD装置を挙げることができる。また、上記SiO_xN_y:H膜の原子組成比は原料ガスの流量比にもとづいて変化させることができ、これによって光学定数(n, k)を変化させることができる。このためには、予め光学定数(n, k)のSiH_x/N₂O流量比依存性を求めておけば良い。

使用装置 平行平板型プラズマCVD装置
(アプライド・マテリアルズ社製、型番P-5000)

ウェハ・サイズ	5 インチ
SiH _x 流量	50 SCCM (固定)
N ₂ O 流量	25, 33, 40, 50, 67, 100 SCCM
成膜温度	360 °C
RFパワー	190 W (13, 56 MHz)
圧力	332.5 Pa
成膜時間	5 秒
電極間距離	400 mils (約1 cm)

図1をみると、光学定数nに比べて光学定数kの方が、SiH_x/N₂O流量比に対する依存性がはるかに大きい。前述のシミュレーションにおいて光学定数nを固定できるのは、この事実が根拠となっている。また図2をみると、Si, O, N, Hの4種類の元素のうちNとHは上記流量比の影響を余り受けないが、SiとOは大きく影響を受けている。特に、おおよそSiH_x/N₂O=0.6の近傍ではSiとOの組成比が等しくなり(SiO_xN_y:Hの組成式中でx=1となる。)、この地点を境にSi含量とO含量の逆転が生じている。すなわち、SiO_xN_y:H膜の膜厚は、おおよそSiH_x/N₂O<0.6の領域ではOリッチとなってSiO_x膜の組成に近づくが、おおよそSiH_x/N₂O>0.6の領域ではSiリッチとなる。SiH_x/N₂O=0.6の場合には、光学定数が0.15となっていることが図1よりわかる。つまり、本発明においてSiO_xN_y:H膜の光学定数kを特に0.15以下と規定するのは、透明度が高い厚いオフセット絶縁膜を反射防止膜として使用可能とするために、Oリッチな膜質を得るためにである。

【0029】なお、このように流量比依存性の既知データにしたがって原子組成比の制御を行う観点からは、SiH_x/N₂O混合ガスの様な2成分系のガスを用いることが簡便であるが、SiO_xN_y:H膜の成膜そのものはSiH_x/O₂/N₂混合ガスのような3成分系を用いても可能である。この場合にも、光学定数(n, k)の流量比依存性を予め求めておくことにより、同様に原子組成比の制御を行うことができる。

【0030】上述のような原料ガスの流量制御を行えば、前記配線材料膜がポリシリコン膜、シリサイド膜もしくはポリサイド膜からなる場合にSiO_xN_y:H膜の光学定数kを0.15以下とすることができます。

【0031】なお、このSiO_xN_y:H膜は、配線パ

* 【0027】この依存性のデータを、図1および図2に示す。図1は、248 nmにおける光学定数のSiH_x/N₂O流量比依存性、図2はSiO_xN_y:H膜の原子組成のSiH_x/N₂O流量比依存性をそれぞれ表す。SiO_xN_y:H膜の成膜条件は以下のとおりである。

* 【0028】

ターンの上にそのまま残されることにより層間絶縁膜の一部となるため、前記第4工程でエッティングを終了した20後に該SiO_xN_y:H膜を酸化し、絶縁耐圧を向上させても良い。この時の酸化は、アニールやプラズマ処理にて行うことができる。

【0032】本発明の半導体装置の製造方法では、前記基板としてシリコン基板を用い、前記第4工程で前記配線パターンとしてMOSトランジスタのゲート電極を形成した後、前記ゲート電極の側壁面上に誘電体膜よりもなるサイドウォールを形成する工程と、基板の全面に金属膜を成膜する工程と、アニールを行って該金属膜と前記基板の表層部とを反応させることにより自己整合的にシリサイド層を形成する工程とを経ることにより、ソースノードライン領域の表層部のみが選択的にシリサイド化されたLDD型のMOSトランジスタを製造することができる。

【0033】なお、上記金属膜は、シリコン系材料と反応してシリサイドを形成し得る金属にて構成されるものであり、かかる金属としてはたとえばTi, Co, W, Ni, Pt, Zr, V, Ta, Cr, Mo, Fe, Pbを用いることができる。

【0034】また、前記第4工程で前記配線パターンを40所定間隔をおいて複数形成した後、前記配線パターンの側壁面上に誘電体膜よりもなるサイドウォールを形成する工程と、隣接する該配線パターン間に上層配線のコンタクト部を自己整合的に形成する工程とを経ることにより、自己整合コンタクトを形成することができる。

【0035】

【作用】本発明では、従来より反射防止膜として提案されているSiO_xN_y:H膜を単層で、しかもオフセット絶縁膜としても十分な機能を果たし得る厚さに形成するので、配線パターン上に異種の透明膜を積層するこれまでの方法と異なり、膜厚変動に起因するリソグラフィ

解像度の不安定化を招く虞れが極めて少ない。また、上記 $\text{SiO}_x\text{Ny} : \text{H}$ 膜をプラズマCVDで成膜する場合、成膜時間が長くなる分、安定状態に達したプラズマを利用することができるため、膜厚の均一性も改善される。したがって、定在波効果が基体の全面にわたって均一に抑制され、MOSトランジスタのゲート電極、あるいは自己整合コンタクトを精度良く形成することができる。さらに、LDD構造を有するMOSトランジスタにサリサイド技術を適用する場合には、ゲート電極上にかかる厚いオフセット絶縁膜を形成しておくことでゲート電極のシリサイド化を防止することができる。

【0036】本発明ではまた、ある条件下で膜厚 d を固定して $\text{SiO}_x\text{Ny} : \text{H}$ 膜の光学定数 k をなるべく小さい値に選択することにより、該 $\text{SiO}_x\text{Ny} : \text{H}$ 膜の膜厚 d の無制限な増大を抑制し、基体の表面段差を実用上支障の無い範囲に抑えることができる。従来の $\text{SiO}_x\text{Ny} : \text{H}$ 膜の場合、30nm前後の薄い膜厚にて反射防止効果を発揮させるために、光学定数 k の値がおよそ0.5~0.6と大きく設定されていたが、この様な膜をそのまま厚膜化したのでは、良好な反射防止膜とはなり得ないからである。特に、光学定数 k を0.15以下に選択すると、厚膜化しても良好な反射防止効果を示すことに加え、 $\text{SiO}_x\text{Ny} : \text{H}$ 膜の中の Si 原子に対する O 原子の組成比 x が1以上となり膜組成が SiO_x 膜に近づく。このため、絶縁耐圧やエッティング耐性も向上する。

WSi_x膜

$n = 1.93$,

$\text{SiO}_x\text{Ny} : \text{H}$ 膜

$n = 2.10$,

フォトレジスト膜

$n = 1.52$,

すなわち、 $\text{SiO}_x\text{Ny} : \text{H}$ 膜の光学定数 k および膜厚 d 以外は、固定パラメータである。かかる条件下における定在波効果の変化パターンを、(b)図に示す。この図は、定在波効果の判断指標となる振幅比が等しい値をとる地点を等高線のように結んだものであり、各線は1%刻みで表示されている。定在波効果の極小化領域はこの例では約59nmの周期で現れるが、(b)図には膜厚ゼロの方から数えて2番目までの極小化領域が示されており、これら両領域の中心座標(k, d)は($k = 0.60, d = 29.0$)および($k = 0.34, d = 92.5$)である。

【0043】ここで従来ならば、定在波効果の抑制効果が同じであれば膜厚 d の小さい方が基体の表面段差を緩和する上で有利であるから、膜厚 d は29nmに選択されていたであろう。しかし、本発明ではオフセット絶縁膜の絶縁耐圧やエッティング耐性を向上させるために、2番目以降の極小化領域に対応する膜厚 $d = 92.5$ を選択する。このときの光学定数 $k = 0.34$ を達成し得る $\text{SiH}_x / \text{N}_2\text{O}$ 流量比を前出の図1から求めると、1となる。また、このときの $\text{SiO}_x\text{Ny} : \text{H}$ 膜2の原子組成は、前出の図2より $\text{SiO}_{0.42}\text{O}_{0.58} : \text{H}_{17}$ 、原子

* 【0037】本発明において、 $\text{SiO}_x\text{Ny} : \text{H}$ 膜の光学定数(n, k)の制御は、CVDにおける成膜ガスの流量比の制御を通じて行うため、応答性および再現性に優れた成膜を行うことができる。

【0038】

【実施例】以下、本発明の具体的な実施例について説明する。

【0039】実施例1

本実施例は、2本のワード線の間でSRAMのビット線10引出し電極を基板にコンタクトさせる自己整合コンタクトに関するものであり、タンクステン(W)・ポリサイド膜からなるワード線上に $\text{SiO}_x\text{Ny} : \text{H}$ 膜を反射防止膜を兼ねたオフセット絶縁膜として用いた。

【0040】本実施例では、 $\text{SiO}_x\text{Ny} : \text{H}$ 膜はタンクステン・シリサイド(WSi_x)膜上に成膜されるので、このWSi_x膜上で反射防止効果を示し、かつオフセット絶縁膜としての機能を十分に果たし得る光学定数と膜厚を求める必要がある。まず、そのため行った定在波効果のシミュレーションについて、図3を参照しながら説明する。

【0041】このシミュレーションで用いたサンプル・ウェハは、図3の(a)図に示されるように、WSi_x膜1上に $\text{SiO}_x\text{Ny} : \text{H}$ 膜2とフォトレジスト(PR)膜3が順次積層されたものである。各膜の248nmにおける光学定数および膜厚を以下に示す。

* 【0042】

WSi_x膜 $n = 1.93$,

$k = 2.73$

$\text{SiO}_x\text{Ny} : \text{H}$ 膜 $n = 2.10$,

$k = \text{可変}, d = \text{可変}$

フォトレジスト膜 $n = 1.52$,

$k = 0, d = 840\text{nm}$

組成比に換算すると $\text{SiO}_{0.42}\text{O}_{0.58} : \text{H}_{17}$ である。

この組成は、従来選択されていた膜の組成よりもリッチであり、すなわち SiO_x 膜に近い。

【0044】以上のようにして $\text{SiO}_x\text{Ny} : \text{H}$ 膜の光学定数および膜厚が最適化され、これを達成し得る $\text{SiH}_x / \text{N}_2\text{O}$ 流量比も決定された。そこで次に、この $\text{SiO}_x\text{Ny} : \text{H}$ 膜をSRAMのワード線上に形成して自己整合コンタクトを作成した。このプロセスについて、図4ないし図7を参照しながら説明する。

【0045】まず、予めウェル形成や素子分離を行った

Si基板11の表面を熱酸化し、厚さ約8nmのゲート酸化膜12を形成した。この熱酸化は、たとえば H_2 / O_2 混合ガスを用い、850°Cでパイロジェニック酸化を行うことにより形成できる。続いて、膜厚約70nmの不純物含有ポリシリコン膜13と膜厚約70nmのWSi_x膜14の積層体であるWポリサイド膜15を形成した。ここで、上記WSi_x膜14は、 WF_6 / SiC I_2 / H_2 混合ガスを用い、680°Cで減圧CVDを行うことにより成膜した。また、上記不純物含有ポリシリコン膜13は、 $\text{SiH}_4 / \text{PH}_3$ 混合ガスを用い、550°Cで減圧CVDを行って成膜したn+型アモルファスS

i膜を、上述のWSi_x膜14のCVD時の熱負荷により結晶粒成長させることにより形成した。

【0046】さらに、この上にプラズマCVDにより膜厚92.5nmのSiO_xNy:H膜16を堆積させた。成膜条件は以下のとおりである。

【0047】

使用装置 平行平板型プラズマCVD装置
 ウェハ・サイズ 5インチ
 SiH₄流量 50 SCCM(固定)
 N₂O流量 50 SCCM
 成膜温度 360°C
 RFパワー 190W(13.56MHz)
 圧力 332.5Pa
 成膜時間 12秒
 電極間距離 400mils(約1cm)

次に、上記SiO_xNy:H膜16の上にレジスト・パターン17を形成した。このレジスト・パターン17は、化学增幅系ポジ型フォトレジスト材料(和光純薬社製、商品名WKR-PT1)とKrFエキシマ・レーザ・ステッパーを用いて形成したが、上記SiO_xNy:H膜16の反射防止効果により、極めて精度の高い寸法および形状をもって形成された。

【0048】次に、上記レジスト・パターン17をマスクとして上記SiO_xNy:H膜16、上記WSi_x膜14、上記不純物含有ポリシリコン膜13を異方性エッチングした。この異方性エッチングは、たとえば有磁場マイクロ波プラズマ・エッチング装置とCl₂/O₂混合ガスを用い、これら3種類の膜すべてについて共通条件で一括して行うことも可能であるが、それぞれの膜に最適なエッチング条件を順次切り換えるながら行っても良い。このエッチングにより、SiO_xNy:H膜16が同一パターンで積層されたワード線15を形成した。このワード線15の線幅は約0.55μm、配線間スペースは約0.7μmである。図4には、ここまでプロセスを終了した状態が示されている。

【0049】次に、アッシングを行って上記レジスト・パターン17を除去し、上記SiO_xNy:H膜16をマスクとしてSi基板11にLDD領域形成用のAs⁺の低濃度イオン注入を行った。このときのイオン注入条件は、たとえばイオン加速エネルギー20keV、ドース量 $6 \times 10^{12}/cm^2$ とした。続いて、基体の全面に減圧CVD法により膜厚約150nmのSiO_x膜を形成した後、これを異方的にエッチバックした。これにより、上記ワード線15およびSiO_xNy:H膜16の側壁面上にサイドウォール18を形成した。次に、これらサイドウォール18とSiO_xNy:H膜16とをマスクとしてAs⁺の高濃度イオン注入(イオン加速エネルギー20keV、ドース量 $3 \times 10^{15}/cm^2$)を行い、さらに1050°C、10秒間のRTA(ラピッド・サーマル・アニール)を行って不純物(As)を活性化

させ、LDD構造を有するソース/ドレイン領域19を形成した。図5には、ここまでプロセスを終了した状態が示されている。

【0050】次に、TEOS(テトラエトキシシラン)を原料ガスとした減圧CVDを行い、膜厚約80nmのSiO_x層間絶縁膜20を成膜した。続いて図示されないレジスト・パターンを形成し、これをマスクとして上記SiO_x層間絶縁膜20を異方性エッチングすることにより、配線間スペースよりも広い開口端を有するコン

10 タクト・ホール21を形成した。このエッチングは、たとえばマグネットロンRIE装置とCF₄/O₂混合ガスを用いて行った。なお、上記SiO_x層間絶縁膜20のエッチングは下地のSiO_xNy:H膜16やサイドウォール18に対して選択比を確保することができないので、基本的にコントロール・エッチング(膜厚分のみのエッチング)により行われる。ただし、最低限のオーバーエッチングは必要であり、このために上記SiO_xNy:H膜16のエッジ部では若干の膜減りが生じている。

20 【0051】この後は、希フッ酸溶液を用いてSi基板11の表面の自然酸化膜を除去し、減圧CVDにより不純物含有ポリシリコン膜を成膜し、さらにこれをパターンングしてピット線引出し電極22を形成した。このようにして形成されたSRAMにおいては、SiO_xNy:H膜16の存在により、ワード線15の寸法精度、およびワード線15とピット線引出し電極22との間の絶縁性が従来に比べて改善されている。上述のオーバーエッチングによりSiO_xNy:H膜16のエッジ部に若干の膜減りが生じてはいるものの、本発明ではこの膜の厚さが従来よりも大きく、しかも膜質がオリッヂとされることにより絶縁性が向上しているため、この膜減りが最終的なSRAMの性能に何ら支障を及ぼすものではなかった。

【0052】実施例2

本実施例では、上記SiO_xNy:H膜16による定在波効果の抑制能力を実施例1に比べて若干抑えたものの、光学定数kの値をより一層低く設定して膜組成をSiO_x膜に近づけ、ワード線15とピット線引出し電極22との間の絶縁性を高めたSRAMとその製造プロセスについて説明する。

【0053】本実施例ではまず、SiO_xNy:H膜の光学定数nを2.0に固定し、前述のようなシミュレーションを行った。結果を図8に示す。この図8において、定在波効果の極小化領域は約62nm周期で現れている。ここで、さらに膜厚dをある一定値に固定した場合に、定在波効果を許容範囲内に抑え得る光学定数kの最小値を求めてみる。たとえば、膜厚d=220nmに沿って光学定数kの変化をみると、k=0.20付近で定在波効果を1%以下に抑えることができる。これより50 さらにkを減少させる方向に沿ってみると、k=0.1

5付近でも定在波効果は1%程度である。すなわち実用上、定在波効果を5%程度まで許容できるのであれば、その分膜質を重視して光学定数kを低下させ、絶縁耐性やエッティング耐性を向上させることができる。ちなみに、SiO_x膜では光学定数k=0.15付近では定在波効果は10%程度に上昇してしまう。

【0054】このときの光学定数k=0.15を達成し得るSiH_x/N₂O流量比を前出の図1から求める
と、0.6となる。また、このときのSiO_xNy:H膜の原子組成は、前出の図2よりSiO_{3.7}O_{5.7}N_{0.24}:H_{0.44}、原子組成比に換算するとSiO_{1.0}N_{0.24}:H_{0.44}である。すなわちこの組成においてはSiとOの含有比が等しく、従来選択されていた膜の組成よりも遙かにオーリツチである。

【0055】以上のようにして光学定数および膜厚が最適化されたSiO_xNy:H膜は、一例として次のような条件で成膜することができる。

【0056】

使用装置	平行平板型プラズマCVD装置
ウェハ・サイズ	5インチ
SiH _x 流量	50 SCCM(固定)
N ₂ O流量	83 SCCM
成膜温度	360 °C
RFパワー	190 W(13.56 MHz)
圧力	332.5 Pa
成膜時間	28秒
電極間距離	400 mils(約1cm)

このSiO_xNy:H膜16を実施例1と同様、SRA Mのワード線15上にオフセット防止膜を兼ねた反射防止膜として成膜したところ、この膜の上で行われるオトトリソグラフィの解像度を実用上十分な範囲で改善できる一方、ワード線15とピット線引出し電極22の間の絶縁性をより一層高めることができた。

【0057】実施例3

実施例1および実施例2では、SiO_xNy:H膜の下地がWSi_x膜である場合について述べたが、下地は他のシリサイド膜であっても構わない。本実施例では、下地をTiSi_x膜とした場合の光学定数および膜厚の最適化について述べる。

【0058】本実施例ではまず、SiO_xNy:H膜の光学定数nを2.0に固定し、前述のようなシミュレーションを行った。ただし、TiSi_x膜の光学定数は、n=0.717, k=1.878とした。結果を図9に示す。この図9において、定在波効果の極小化領域は約62nm周期で現れている。ここで、膜厚d=210nmに沿って光学定数kの変化をみると、k=0.22付近で定在波効果を1%以下に抑えることができる。これよりさらにkを減少させる方向に沿ってみると、k=0.15付近でも定在波効果は3%程度である。したがって、n=2.0, k=0.15, d=210nmのS

iOxNy:H膜を成膜することにより、TiSi_x膜上でも良好な反射防止効果を達成し、かつオフセット絶縁膜として十分な機能を発揮させることができる。

【0059】実施例4

本実施例では、ゲート電極上に反射防止膜を兼ねたオフセット絶縁膜としてSiO_xNy:H膜が形成され、かつシリサイド・プロセスによるシリサイド層がソース/ドレイン領域のみに形成されたn型MOSトランジスタ、およびその製造プロセスについて、図10ないし図13を参照しながら説明する。

【0060】まず、予めLOCOS法により素子分離領域32が形成されたSi基板31についてたとえば850°Cでパイロジェニック酸化を行い、その素子形成領域に厚さ約8nmのゲート酸化膜33を形成した。続いて、膜厚約70nmのn⁺型ポリシリコン膜34と膜厚約70nmのWSi_x膜35の積層体であるWポリサイド膜36を実施例1と同じ条件で成膜した。

【0061】さらに、この上にプラズマCVDにより膜厚92.5nmのSiO_xNy:H膜37を堆積させ

た。成膜条件は実施例1と同様、SiH_x/N₂O流量比=1の条件で行い、光学定数もn=2.10, k=0.34と同じである。続いて、KrFエキシマ・レーザ・リソグラフィを行い、上記SiO_xNy:H膜37の上に線幅約0.35μmのレジスト・パターン38を形成した。このレジスト・パターン38は、上記SiO_xNy:H膜16の反射防止効果により、極めて精度の高い寸法および形状をもって形成された。図10には、ここまでプロセスを終了した状態が示されている。

【0062】次に、上記レジスト・パターン38をマスクとして上記SiO_xNy:H膜37、上記Wポリサイド膜36を異方性エッティングし、図11に示されるようなゲート電極36aを形成した。なお、図11中、異方性エッティングされた膜については、元の符号に添字aを付して表してある。

【0063】次に、レジスト・パターンのアッシング除去、LDD領域形成用のAs⁺の低濃度イオン注入、減圧CVD法による膜厚約150nmのSiO_x膜の全面堆積、該SiO_x膜のエッチバックの一連の工程を実施例1で上述した様に行い、ゲート電極36aおよびSiO_xNy:H膜37aの側壁面上にサイドウォール39を形成した。さらに、As⁺の高濃度イオン注入、RTAによる不純物活性化を経てソース/ドレイン領域40を形成した。この後、スパッタリングにより基体の全面に厚さ約30nmのTi膜41を成膜した。図12には、ここまでプロセスを終了した状態が示されている。

【0064】次に、N₂雰囲気中、600°C、30秒間の1回目RTAを行った。この結果、ソース/ドレイン領域40の表層部においてのみ選択的に自己整合的なシリサイド化反応が進行し、図13に示されるようなTi

Si_x層42が形成された。このTiSi_x層42はC_x構造を持つ。ここで、従来のようにゲート電極36a上に薄いSiO_xN_y:H膜を形成していた場合には、このSiO_xN_y:H膜の介在にもかかわらずWSi_x膜35aとTi膜41との反応を防止することができなかつたが、本発明ではSiO_xN_y:H膜37aの膜厚が大きいために、これを防止することができた。

【0065】この後、たとえば硫酸過水(H₂SO₄ / H₂O₂混合水溶液)処理を行い、素子分離領域32、サイドウォール39およびSiO_xN_y:H膜37aの上に残存している未反応のTi膜41を溶解除去した。続いて、雰囲気中、800°C、10秒間の条件で2回目RTAを行い、TiSi_x層42を低抵抗化させた。このときのTiSi_xは、C_x構造を有する。

【0066】さらに、公知の手順にしたがって層間絶縁膜の堆積、コンタクト・ホールウ開口、上層配線の形成を経てnMOSトランジスタを完成させた。

【0067】なお、上記プロセスの変形例として、SiO_xN_y:H膜37の光学定数kを一層下げ、膜厚dを増大させた成膜も可能である。たとえば、SiH_x/N_xO流量比を若干下げて0.74とした条件でプラズマCVDを行うと、n=2.0, k=0.24のSiO_xN_y:H膜を得ることができる。この膜は、膜厚d=157nmで優れた反射防止効果を示した。また成膜時間が約20秒と長い分だけ膜厚均一性にも優れていた。

さらに、実施例2で前述したごとく流量比を0.6に下げる、n=2.0, k=0.15のSiO_xN_y:H膜を得ることができる。この膜は、膜厚d=220nmで優れた反射防止効果を示した。しかもこの膜の組成はSiO_{0.57}O_{0.43}N_{0.15}:H_{0.46}であり、絶縁耐圧にも優れるものであった。

【0068】実施例5

本実施例では、SiO_xN_y:H膜の絶縁耐圧を向上させるために、反射防止膜としての機能を果たし終えた時点での膜を酸化した。

【0069】すなわち、前出の図11に示した様に、Wポリサイド膜36のエッティングが終了してレジスト・パターン38を除去した後、O₂雰囲気中、800°C、30~60分間の条件で熱処理を行った。これにより、SiO_xN_y:H膜37aが酸化されてその組成がほぼSiO₂に変化し、絶縁耐圧が熱処理前に比べて約10倍に向上した。なお、上述の組成変化は当然のことながら光学定数の変化を招くが、この時点ではリソグラフィが終了しており、プロセスに何ら支障はない。

【0070】以上、本発明を5例の実施例にもとづいて説明したが、本発明はこれらの実施例に何ら限定されるものではない。たとえば、上述の実施例では、配線パターンとしてWポリサイド膜を用いたが、これは他の金属シリサイド膜、あるいは単にポリシリコン膜であっても

良い。また、SiO_xN_y:H膜の膜厚や光学定数も、技術的に可能な範囲内であれば他の値に選択して構わない。この他、露光波長、フォトレジスト材料の種類、基板の構成、プロセス条件、使用する半導体製造装置等の細部についても、適宜変更選択が可能である。

【0071】

【発明の効果】以上の説明からも明らかのように、本発明を適用すれば、オフセット絶縁膜の膜厚変動により従来生じていたフォトリソグラフィの不安定化要因を削減

10 することができる。本発明では、SiO_xN_y:H膜の膜厚を増大させるので、サリサイド・プロセスにおいては配線パターンの表層部のシリサイド化が防止される。また、SiO_xN_y:H膜の膜厚の大きい領域で反射防止効果を発揮するために、組成をOリッチとしてSiO_x膜に近づけるため、自己整合コンタクト構造部においては上下配線間の絶縁が確保される。

【0072】フォトリソグラフィの露光波長の短波長化に伴って反射防止膜の採用が必須となり、またサリサイド・プロセスによる低抵抗化、自己整合コンタクト・プロ

20 プロセスによるマスク合わせマージンの不要化が強く望まれる中で、本発明はオフセット絶縁膜および反射防止膜としてのSiO_xN_y:H膜の性能を向上させることを通じて、半導体デバイスの微細化、高集積化、高信頼化に大きく貢献するものである。

【図面の簡単な説明】

【図1】SiO_xN_y:H膜の光学定数のSiH_x/N_xO流量比依存性を表すグラフである。

【図2】SiO_xN_y:H膜の原子組成のSiH_x/N_xO流量比依存性を表すグラフである。

30 【図3】SiO_xN_y:H膜の光学定数および膜厚の最適化シミュレーションを説明しする図であり、(a)図はシミュレーションに用いたサンプル・ウェハの構造を示す模式的断面図、(b)図はWSi_x膜上における定在波効果の変化パターンである。

【図4】SRAMのビット線コンタクトを自己整合コンタクト技術により形成するプロセスにおいて、ワード線と共にパターンを有するSiO_xN_y:H膜を反射防止膜を兼ねたオフセット絶縁膜として形成した状態を示す模式的断面図である。

40 【図5】図4のワード線の側壁面上にサイドウォールを形成した状態を示す模式的断面図である。

【図6】図5の基体の全面にSiO_x層間絶縁膜を形成し、これをパターンングしてコンタクト・ホールを開口した状態を示す模式的断面図である。

【図7】図6のコンタクト・ホールを覆ってビット線引出し電極を形成した状態を示す模式的断面図である。

【図8】WSi_x膜上における定在波効果の変化パターンを示す図である。

50 【図9】TiSi_x膜上における定在波効果の変化パターンを示す図である。

【図10】サリサイド技術を適用してMOSトランジスタを製造するプロセスにおいて、Wポリサイド膜上に反射防止膜を兼ねたオフセット絶縁膜としてSiO_xN_y : Hを成膜し、レジスト・パターンを形成した状態を示す模式的断面図である。

【図11】図10のレジスト・パターンをマスクとして
SiO_xN_y:H膜とWポリサイド膜を異方性エッチングし、ゲート電極を形成した状態を示す模式的断面図である。

【図12】図11のゲート電極の側壁面上にサイドウォールを形成した後、基体の全面をTi膜で被覆した状態を示す模式的断面図である。

【図13】図12の基体にRTAを行い、ソース／ドレイン領域の表層部のみを選択的にシリサイド化させた状態を示す模式的断面図である。

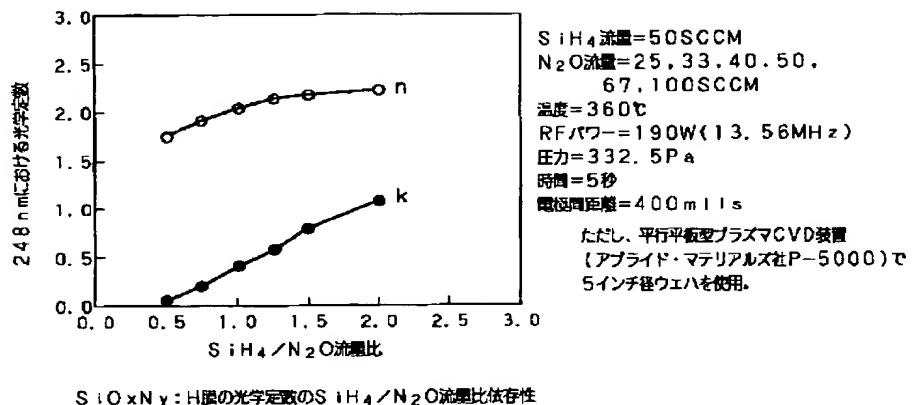
【図14】多層膜系における定在波効果を説明するため

の図であり、(a) 図は反射防止膜とオフセット絶縁膜を別々に形成した従来のサンプル・ウェハの構成を示す模式的断面図、(b) 図は振幅比のオフセット絶縁膜の膜厚依存性を表すグラフ、(c) 図は振幅比の定義を説明するグラフである。

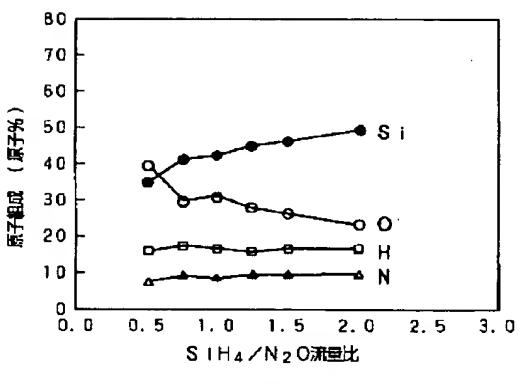
【符号の説明】

11, 31 Si基板
 15, 36 Wポリサイド膜
 15a ワード線
 10 16, 37, 37a SiO_xN_y:H膜
 18, 39 サイドウォール
 20 SiO_x層間絶縁膜
 21 コンタクト・ホール
 22 ビット線引出し電極
 40 ソース／ドレイン領域
 41 Ti膜

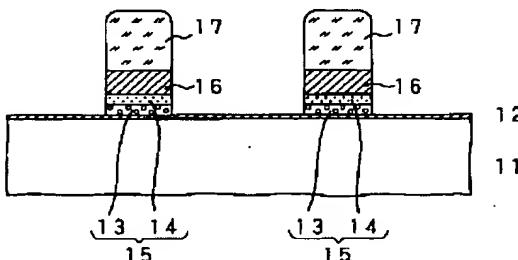
[図 1]



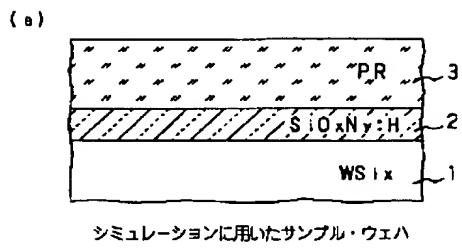
〔図2〕



[図4]

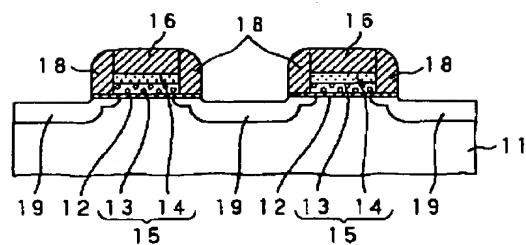


【図3】

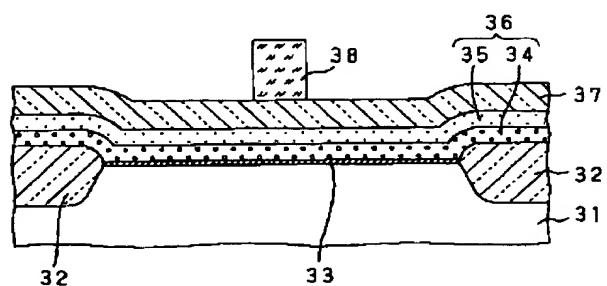


シミュレーションに用いたサンプル・ウェハ

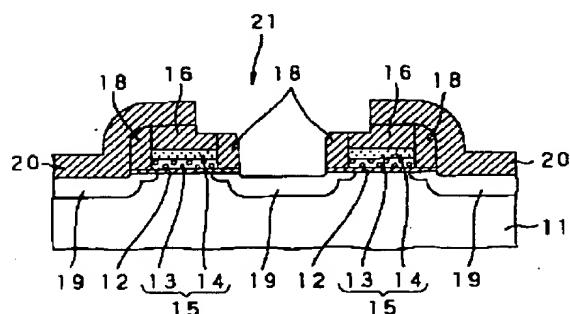
【図5】



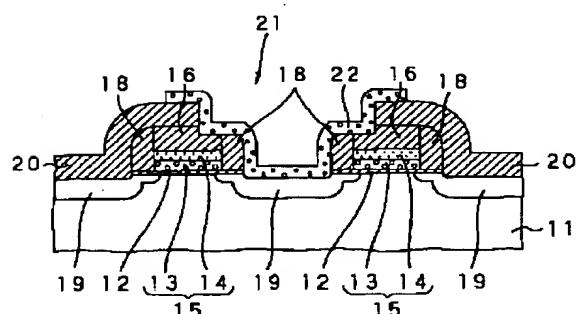
【図10】



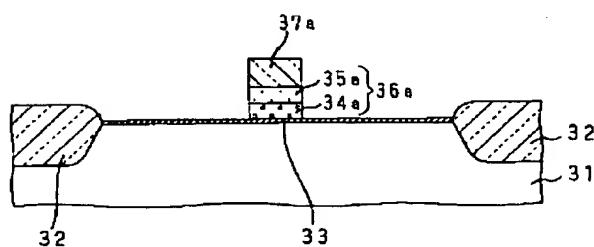
【図6】



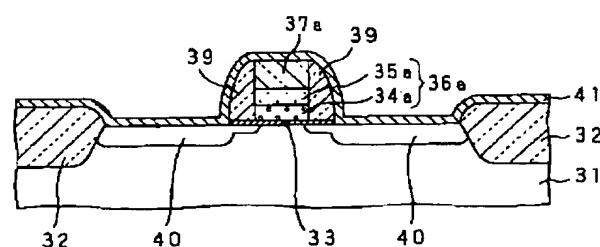
【図7】



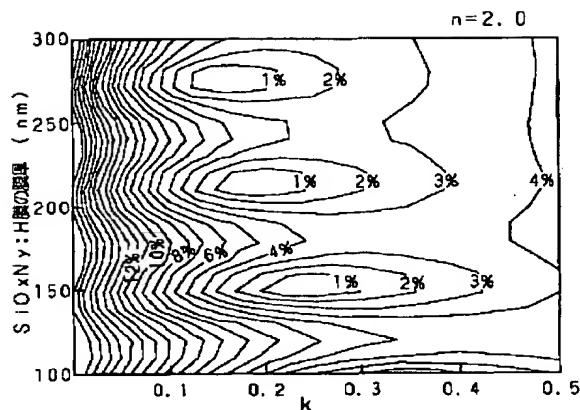
【図11】



【図12】

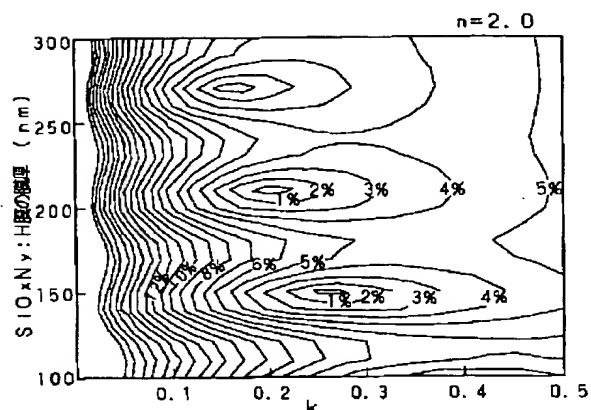


【図8】



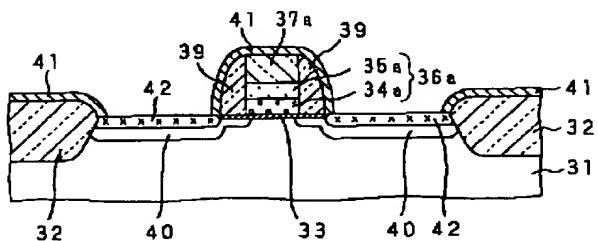
WS1x膜上における定在波効果の変化パターン

【図9】



T1S1x膜上における定在波効果の変化パターン

【図13】



【図14】

